

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-229052

(43)Date of publication of application : 25.08.1998

(51)Int.Cl.

H01L 21/28

H01L 29/78

(21)Application number : 09-029466

(71)Applicant : HITACHI LTD

(22)Date of filing : 13.02.1997

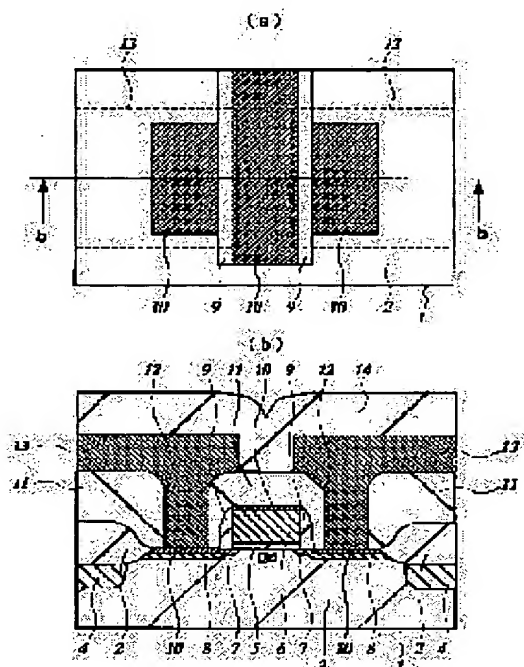
(72)Inventor : ABE HIROMI  
SUZUKI MASAYASU  
ISHIDA SHINICHI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREOF

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide the manufacture of a semiconductor integrated circuit device which has a low-resistant diffusion layer resistor and a low-resistant contact.

**SOLUTION:** A MOSFET Qn, which has a gate electrode 6 and source and drain regions consisting of an n-semiconductor region 7 and an n<sup>+</sup>- semiconductor region 8, is made on a semiconductor substrate 1 which has a field insulating film 2, a p-well 3, and a channel stopper 4, and a stacked film where a cobalt film is stacked, after stacking of a titanium film has been made, and first heat treatment is applied to make a thin epitaxial cobalt silicide film on the surfaces of the gate electrode 6 and the n<sup>+</sup>-semiconductor region 8. Next, the titanium film and the cobalt film are removed, and then a cobalt film is stacked, and second heat treatment is applied to make an epitaxial silicide layer 10 which has a film thickness of 30-50nm.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-229052

(43) 公開日 平成10年(1998) 8月25日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 21/28  
29/78

識別記号

3 0 1

F I

H 0 1 L 21/28  
29/78

3 0 1 T  
3 0 1 X

審査請求 未請求 請求項の数7 O L (全 14 頁)

(21) 出願番号 特願平9-29466

(22) 出願日 平成9年(1997) 2月13日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 阿部 宏美

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 鈴木 正恭

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 石田 進一

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(74) 代理人 弁理士 筒井 大和

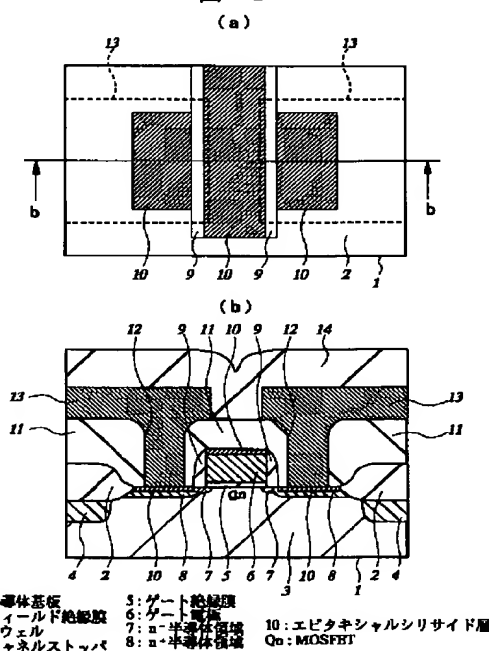
(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 低抵抗な拡散層抵抗と低抵抗なコンタクトを有する半導体集積回路装置の製造方法を提供する。

【解決手段】 フィールド絶縁膜2、pウェル3、チャネルストッパ4を有する半導体基板1に、ゲート絶縁膜5を介して形成されたゲート電極6とn<sup>-</sup>半導体領域7およびn<sup>+</sup>半導体領域8からなるソース・ドレイン領域とを有するMOSFETQnを形成し、チタン膜の堆積後コバルト膜を堆積した積層膜を形成し、第1の熱処理を施してゲート電極6およびn<sup>+</sup>半導体領域8の表面に薄いエピタキシャルコバルトシリサイド膜を形成する。次に、前記チタン膜およびコバルト膜を除去後、コバルト膜を堆積して第2の熱処理を施し、30～50nmの膜厚を有するエピタキシャルシリサイド層10を形成する。

図 1



## 【特許請求の範囲】

【請求項1】 その主面に素子分離領域を有する半導体基板と、前記素子分離領域に囲まれた活性領域に形成され、前記半導体基板の主面上にゲート絶縁膜を介して形成されたゲート電極、および前記ゲート電極の両側の前記半導体基板の主面に形成された不純物半導体領域を含むMISFETとを有する半導体集積回路装置の製造方法であって、

(a) 前記半導体基板の主面に素子分離領域を形成した後、前記ゲート絶縁膜を介して前記ゲート電極を前記半導体基板の前記活性領域の主面上に形成し、前記ゲート電極の両側の前記半導体基板の主面に前記不純物半導体領域を形成する工程、

(b) 前記ゲート電極および前記不純物半導体領域が形成された前記半導体基板の全面に、第1金属膜を堆積し、前記第1金属膜を構成する第1金属とシリコンとの結合エネルギーよりも低い結合エネルギーで結合し、シリコンとシリサイドを形成する第2金属で構成される第2金属膜を堆積する工程、

(c) 前記第1および第2金属膜が堆積された前記半導体基板に第1の熱処理を施し、前記第1金属膜とシリコンが接触する界面に前記第2金属とシリコンとの第1エピタキシャルシリサイド層を形成する工程、

(d) 前記(c)工程で未反応の前記第1および第2金属膜を除去する工程、

(e) 前記未反応の第1および第2金属膜が除去された前記半導体基板の全面に、前記第2金属と同一の材料からなる第3金属膜を堆積する工程、

(f) 前記第3金属膜が堆積された前記半導体基板に第2の熱処理を施し、前記第1エピタキシャルシリサイド層と前記第3金属膜の界面に前記第1エピタキシャルシリサイド層と同一の材料からなる第2エピタキシャルシリサイド層を形成する工程、

(g) 前記(f)工程で未反応の前記第3金属膜を除去する工程、

を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項2】 請求項1記載の半導体集積回路装置の製造方法であって、

前記第1金属はチタンであり、前記第2および第3金属はコバルトであることを特徴とする半導体集積回路装置の製造方法。

【請求項3】 請求項1または2記載の半導体集積回路装置の製造方法であって、

前記第1および第2の熱処理は、処理温度が700℃以下、処理時間が2分以下であることを特徴とする半導体集積回路装置の製造方法。

【請求項4】 その主面に素子分離領域を有する半導体基板と、前記素子分離領域に囲まれた活性領域に形成され、前記半導体基板の主面上にゲート絶縁膜を介して形

成されたゲート電極、および前記ゲート電極の両側の前記半導体基板の主面に形成された不純物半導体領域を含むMISFETとを有する半導体集積回路装置の製造方法であって、

(a) 前記半導体基板の主面に素子分離領域を形成した後、前記ゲート絶縁膜を介して前記ゲート電極を前記半導体基板の前記活性領域の主面上に形成し、前記ゲート電極の両側の前記半導体基板の主面に前記不純物半導体領域を形成する工程、

(b) 前記ゲート電極および前記不純物半導体領域が形成された前記半導体基板の全面に、シリコンとシリサイドを形成する第4金属で構成される第4金属膜、および第4金属膜のシリサイド物と反応しない第5金属からなる第5金属膜を堆積する工程、

(c) 前記第4および第5金属膜が堆積された前記半導体基板に第3の熱処理を施し、前記第4金属膜とシリコンが接触する界面にシリコンとの第1シリサイド層を形成する工程、

(d) 前記(c)工程で未反応の前記第4金属膜および第5金属膜を除去する工程、

(e) 前記未反応の第4金属膜および第5金属膜が除去された前記半導体基板の全面に、前記第1シリサイド層と反応しない第6金属からなる第6金属膜を堆積する工程、

(f) 前記第6金属膜が堆積された前記半導体基板に第4の熱処理を施し、前記第1シリサイド層を構成する元素と同一の元素から構成され、前記第1シリサイド層よりも低抵抗な第2シリサイド層を形成する工程、

(g) 前記第6金属膜を選択的に除去する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項5】 請求項4記載の半導体集積回路装置の製造方法であって、

前記第4金属はコバルトであり、前記第5および第6金属は窒化チタン、タングステンまたはモリブデンであることを特徴とする半導体集積回路装置の製造方法。

【請求項6】 その主面に素子分離領域を有する半導体基板と、前記素子分離領域に囲まれた活性領域に形成され、前記半導体基板の主面上にゲート絶縁膜を介して形成されたゲート電極、および前記ゲート電極の両側の前記半導体基板の主面に形成された不純物半導体領域を含むMISFETとを有し、前記不純物半導体領域の表面または前記ゲート電極の表面に金属シリサイドからなる低抵抗層が形成された半導体集積回路装置であって、前記低抵抗層は、30nm以上の膜厚を有するコバルトシリサイドからなるエピタキシャル成長層であることを特徴とする半導体集積回路装置。

【請求項7】 その主面に素子分離領域を有する半導体基板と、前記素子分離領域に囲まれた活性領域に形成され、前記半導体基板の主面上にゲート絶縁膜を介して形

成されたゲート電極、および前記ゲート電極の両側の前記半導体基板の主面に形成された不純物半導体領域を含むMISFETとを有し、前記不純物半導体領域の表面または前記ゲート電極の表面に金属シリサイドからなる低抵抗層が形成された半導体集積回路装置であって、前記低抵抗層は、その表面に酸化層または窒化層を有さず、かつ、凝集状態にないコバルトジシリサイドからなる平坦膜であることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の製造技術に関し、特に、高速動作を要求される高集積なシリコン半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】高集積化の進むシリコン半導体集積回路装置において、特に、高速動作が要求されるMPUなどのロジック系半導体集積回路装置では、コンタクト抵抗や拡散層抵抗の増加が問題となっている。

【0003】このような問題を解決する方法のひとつとして、たとえば、平成7年11月20日、プレスジャーナル発行、「月刊 Semiconductor World」1995年12月号、p150～165に記載されているように、いわゆるシリサイドプロセスが知られている。

【0004】このシリサイドプロセスは、フィールド酸化膜等により素子間の素子分離構造を形成した後、露出した半導体基板主面の拡散層にTi等の金属膜を堆積し、熱処理を行って半導体基板主面の拡散層部分およびゲート電極の表面部分をシリサイド化し、未反応の金属膜をウェットエッチングにより除去してシリコン表面をシリサイド化する技術である。このシリサイドプロセスによれば、シリサイドの影響により拡散層の抵抗を低減し、さらにコンタクト抵抗も下げることが可能である。

【0005】ところが、従来利用されているチタンシリサイドでは、配線の微細化が進んで0.3 $\mu$ m程度の線幅になると、低抵抗相であるC54相を形成するプロセスウィンドウが狭くなるという問題が生じる。すなわち、線幅が0.3 $\mu$ m程度になると、高抵抗相であるC49相から低抵抗相であるC54相に相転移する温度が上昇し、一方、凝集を生じる温度が低下するという現象が生じる。つまり、低抵抗相であるC54相を形成するための温度コントロールが困難となる。

【0006】また、シリサイド層の高抵抗化を補うための、シリサイド層の厚膜化は、フィールド絶縁膜との境界面におけるpn接合リークが発生しやすくなるという不具合がある。

【0007】そこで、前記文献に記載されているように、他の金属シリサイドが検討されている。

【0008】ニッケルシリサイドは、熱的な安定性が乏しいためシリサイド工程以降の熱プロセスを考慮すれば

採用できず、白金シリサイドは、抵抗率が高く、不純物半導体領域の薄膜化という技術的な方向を考慮すればこれもまた採用できない。

【0009】一方、コバルトシリサイドは、熱的安定性、抵抗率の両面から優れており、今後の微細化要求から生じる要求性能を満足する可能性の高い材料である。

【0010】

【発明が解決しようとする課題】このようなコバルトシリサイドのプロセスについて本発明者らが検討した結果、以下に示す2通りのプロセスが効果的であることが判明した。

【0011】すなわち、(1)コバルト膜の下層に薄いチタン膜を形成し、コバルト/チタンの積層膜構造で熱処理することにより、エピタキシャルなコバルトシリサイドを得る方法、(2)コバルト膜の形成後、第一の熱処理でコバルトモノシリサイドを形成し、選択的に未反応コバルト膜を除去後、第一の熱処理よりさらに高温で第二の熱処理を行い、第一の熱処理で得られたコバルトモノシリサイドよりも低抵抗なコバルトジシリサイドを得る方法、である。

【0012】このような(1)の方法では、エピタキシャルなコバルトシリサイドが得られるため、また、(2)の方法では、コバルトジシリサイドが得られるため、低抵抗で、耐熱性に優れたシリサイド膜が得られる。

【0013】しかし、本発明者らは、上記シリサイドプロセスにおいて、いくつかの問題がある点も認識した。

【0014】すなわち、前記(1)の方法では、エピタキシャル反応を利用するためシリサイド化の反応速度が遅く、高温、長時間の熱処理が必要となる。しかし、高温、長時間の熱処理では、素子分離構造におけるブリッジングやエンクロウチメントが発生しやすくなり、その結果、プロセスウィンドウが狭くなるという問題がある。また、チタン膜を介した反応であるため反応系が複雑となり、制御性が乏しくなるという不具合がある。さらに、コバルトシリサイド中にチタンが混入し、そのため、コバルトシリサイドの抵抗が高くなるという問題もある。

【0015】また、前記(2)の方法では、シリサイドが露出した状態で第二の熱処理を行なうため、熱処理時に表面が窒化、あるいは酸化され、また、シリサイドを高温で熱処理すると、凝集現象が発生する。これらの影響によりシリサイドの抵抗が高くなるという問題を生じる。

【0016】本発明の目的は、低温でかつ制御性良く、低抵抗なエピタキシャルシリサイド層を形成することができる技術を提供することにある。

【0017】本発明の他の目的は、シリサイド表面の窒化、酸化を防止し、シリサイド層の凝集現象を抑制することができる技術を提供することにある。

【0018】本発明のさらに他の目的は、拡散層抵抗、コンタクト抵抗が十分に低いMISFETを有する半導体集積回路装置を提供することにある。

【0019】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0020】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0021】(1) 本発明の半導体集積回路装置の製造方法は、その主面に素子分離領域を有する半導体基板と、素子分離領域に囲まれた活性領域に形成され、半導体基板の主面上にゲート絶縁膜を介して形成されたゲート電極およびゲート電極の両側の半導体基板の主面に形成された不純物半導体領域を含むMISFETと、を有する半導体集積回路装置の製造方法であって、(a) 半導体基板の主面に素子分離領域を形成した後、ゲート絶縁膜を介してゲート電極を半導体基板の活性領域の主面上に形成し、ゲート電極の両側の半導体基板の主面に不純物半導体領域を形成する工程、(b) ゲート電極および不純物半導体領域が形成された半導体基板の全面に第1金属膜を堆積し、第1金属膜を構成する第1金属とシリコンとの結合エネルギーよりも低い結合エネルギーで結合し、シリコンとシリサイドを形成する第2金属で構成される第2金属膜を堆積する工程、(c) 第1および第2金属膜が堆積された半導体基板に第1の熱処理を施し、第1金属膜とシリコンが接触する界面に第2金属とシリコンとの第1エピタキシャルシリサイド層を形成する工程、(d) 前記工程で未反応の第1および第2金属膜を除去する工程、(e) 未反応の第1および第2金属膜が除去された半導体基板の全面に、第2金属と同一の材料からなる第3金属膜を堆積する工程、(f) 第3金属膜が堆積された半導体基板に第2の熱処理を施し、第1エピタキシャルシリサイド層と第3金属膜の界面に第1エピタキシャルシリサイド層と同一の材料からなる第2エピタキシャルシリサイド層を形成する工程、(g) 前記工程で未反応の第3金属膜を除去する工程、を含むものである。

【0022】このような半導体集積回路装置の製造方法によれば、前記(a)～(d)の工程において、ゲート電極または不純物半導体領域の表面にシリサイド技術を用いて第2金属のシリサイド層を形成する際に、第2金属とシリサイド形成面との間に第1金属層を形成し、第1金属として第2金属とシリコンとの結合エネルギーよりも大きな結合エネルギーを有する金属を選択するため、第1金属膜を輸送層としてエピタキシャルなシリサイド層の形成が可能であり、第1エピタキシャルシリサイド層を形成することができる。また、前記(e)～(g)の工程において、第1エピタキシャルシリサイド層上に、

第2金属と同一の材料からなる第3金属膜を形成し、第2の熱処理を行うため、より膜厚の大きな第2エピタキシャルシリサイド層を低不純物濃度で形成することができる。

【0023】すなわち、第1の熱処理の際には、第2の熱処理の際のエピタキシャル成長に必要な核形成膜としての薄いエピタキシャル膜が形成されれば十分であり、第2の熱処理の際には、既に核形成膜が生成されているため輸送層としての第1金属が必要でなく、そのため、第1エピタキシャルシリサイド層上に直接第3金属膜を形成しても第2エピタキシャルシリサイド層を形成することが可能である。この際、第1金属膜が存在しないため、第2エピタキシャルシリサイド層の反応速度が大きく、低温かつ短時間に第2エピタキシャルシリサイド層の形成をすることができる。また、第1金属膜が存在しないため、不純物として第1金属が第2エピタキシャルシリサイド層に混入することがない。

【0024】これらの結果、第1の熱処理の際の反応時間を短くして、ブリッジングあるいはエンクローチメント等の不良原因を抑制することができる。また、第2の熱処理の際には、十分な膜厚有し、かつ、不純物の混入がないエピタキシャルシリサイド層を形成することができる。さらに、制御性良く、拡散層抵抗、コンタクト抵抗が十分に低いMISFETを形成することができる。

【0025】なお、第1金属としてチタンを例示することができ、第2および第3金属としてコバルトを例示することができる。

【0026】また、第1および第2の熱処理は、処理温度を700℃以下、処理時間を2分以下とすることができる。つまり、650～700℃で5～10分のアニールを必要とする従来のエピタキシャル成長膜の熱処理と比較して、処理温度、処理時間ともに低温化し、短縮することができる。

【0027】(2) 本発明の半導体集積回路装置の製造方法は、その主面に素子分離領域を有する半導体基板と、素子分離領域に囲まれた活性領域に形成され、半導体基板の主面上にゲート絶縁膜を介して形成されたゲート電極、およびゲート電極の両側の半導体基板の主面に形成された不純物半導体領域を含むMISFETとを有する半導体集積回路装置の製造方法であって、(a) 半導体基板の主面に素子分離領域を形成した後、ゲート絶縁膜を介してゲート電極を半導体基板の活性領域の主面上に形成し、ゲート電極の両側の半導体基板の主面に不純物半導体領域を形成する工程、(b) ゲート電極および不純物半導体領域が形成された半導体基板の全面に、シリコンとシリサイドを形成する第4金属で構成される第4金属膜、および第4金属膜のシリサイド物と反応しない第5金属からなる第5金属膜を堆積する工程、

(c) 第4および第5金属膜が堆積された半導体基板に第3の熱処理を施し、第4金属膜とシリコンが接触する

界面にシリコンとの第1シリサイド層を形成する工程、(d)前記工程で未反応の第4金属膜および第5金属膜を除去する工程、(e)未反応の第4金属膜および第5金属膜が除去された半導体基板の全面に、第1シリサイド層と反応しない第6金属からなる第6金属膜を堆積する工程、(f)第6金属膜が堆積された半導体基板に第4の熱処理を施し、第1シリサイド層を構成する元素と同一の元素から構成され、第1シリサイド層よりも低抵抗な第2シリサイド層を形成する工程、(g)第6金属膜を選択的に除去する工程、を含むものである。

【0028】このような半導体集積回路装置の製造方法によれば、前記(a)～(d)の工程において第1シリサイド層を形成する際に、第4金属膜上にシリサイド物と反応しない第5金属膜を堆積して第3の熱処理を行うため、第4金属が雰囲気から遮断され、雰囲気と反応せずに熱処理を行うことができる。また、第5金属膜が堆積されているため、第4金属のシリサイド層の表面はフリースタンドの状態とならず、第5金属により固定された状態となる。この結果、第4金属のシリサイド層に凝集が生じ難くなり、第4金属のシリサイド層は凝集のない連続膜にすることができる。このような事情は、前記(e)～(g)の工程において第2シリサイド層を形成する場合にも同様にあてはまり、第1シリサイド層上に第1シリサイド層と反応しない第6金属膜を堆積して第4の熱処理を行うため、第1シリサイド層が雰囲気から遮断され、雰囲気と反応せずに熱処理を行うことができ、熱処理によって形成される第2シリサイド層に凝集が生じることがない。

【0029】この結果、雰囲気との反応による酸化物あるいは窒化物が形成されていないシリサイド層を、凝集を生じることなく安定に形成することができ、拡散層抵抗およびコンタクト抵抗が十分に低いMISFETを製造することができる。

【0030】さらに、本発明では、第3の熱処理の後、未反応第4および第5金属膜を除去して第4の熱処理を行うため、第3の熱処理のより発生した僅かな酸化物あるいは窒化物をも除去して第4の熱処理を行うこととなり、シリサイド層の酸化あるいは窒化をより効果的に防止することが可能である。

【0031】なお、第4金属としてコバルトを、第5および第6金属として窒化チタン、タングステンまたはモリブデンを例示することができる。コバルトシリサイドを形成する場合は、コバルトが特に酸化しやすい物質であることを考慮すると、本発明の製造方法により製造することは、より効果的であると認められる。

【0032】(3)本発明の半導体集積回路装置は、その主面に素子分離領域を有する半導体基板と、素子分離領域に囲まれた活性領域に形成され、半導体基板の主面上にゲート絶縁膜を介して形成されたゲート電極、およびゲート電極の両側の半導体基板の主面に形成された不

純物半導体領域を含むMISFETとを有し、不純物半導体領域の表面またはゲート電極の表面に金属シリサイドからなる低抵抗層が形成された半導体集積回路装置であって、低抵抗層を、30nm以上の膜厚を有するコバルトシリサイドからなるエピタキシャル成長層とするものである。

【0033】このような半導体集積回路装置によれば、低抵抗層が30nm以上の膜厚を有するコバルトシリサイドからなるエピタキシャル成長層であるため、拡散層抵抗およびコンタクト抵抗が十分に低いMISFETを有する半導体集積回路装置とすることができる。

【0034】このような半導体集積回路装置は、前記(1)の製造方法により製造されるものであるが、従来のエピタキシャル成長法では厚い膜厚を有するコバルトシリサイドからなるエピタキシャル成長層を形成しようとする、長時間かつ高温の熱処理を必要とし、ブリッジあるいはエンクローチメントの発生が避けられず、30nm以上のエピタキシャルコバルトシリサイド層を形成することができなかった。本発明は、これを可能としたものである。

【0035】(4)本発明の半導体集積回路装置は、その主面に素子分離領域を有する半導体基板と、素子分離領域に囲まれた活性領域に形成され、半導体基板の主面上にゲート絶縁膜を介して形成されたゲート電極、およびゲート電極の両側の半導体基板の主面に形成された不純物半導体領域を含むMISFETとを有し、不純物半導体領域の表面またはゲート電極の表面に金属シリサイドからなる低抵抗層が形成された半導体集積回路装置であって、低抵抗層を、その表面に酸化層または窒化層を有さず、かつ、凝集状態にないコバルトシリサイドからなる平坦膜とするものである。

【0036】このような半導体集積回路装置によれば、低抵抗層が、その表面に酸化層または窒化層を有さず、かつ、凝集状態にないコバルトシリサイドからなる平坦膜であるため、拡散層抵抗およびコンタクト抵抗が十分に低いMISFETを有する半導体集積回路装置とすることができる。

【0037】このような半導体集積回路装置は、前記(2)の製造方法により製造されるものであるが、従来の形成方法では抵抗率の低いコバルトシリサイドを形成するためには、700℃以上の熱処理を必要とし、窒化あるいは酸化から防止することができず、また、凝集現象の発生しやすいものであった。したがって、その表面に酸化層または窒化層を有さず、かつ、凝集状態にないコバルトシリサイドからなる平坦膜を形成することができなかったが、本発明は、これを可能としたものである。

【0038】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて詳細に説明する。なお、実施の形態を説明す

るための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0039】(実施の形態1) 図1は、本発明の一実施の形態である半導体集積回路装置の一例を示し、図1(a)は平面図、図1(b)は図1(a)におけるb-b断面図である。

【0040】本実施の形態1の半導体集積回路装置は、たとえばCMOSからなる半導体集積回路装置であってもよいが、pMOSあるいはnMOSであってもよく、ここでは説明の便宜のため、nMOS部について説明する。pMOS部については、nMOS部と同様である。

【0041】本実施の形態1の半導体集積回路装置は、半導体基板1の主面に形成されたフィールド絶縁膜2に囲まれた活性領域にMOSFETQnを有するものである。

【0042】半導体基板1は、n形不純物たとえばリンが低濃度にドーパされたn<sup>-</sup>形基板であり、数Ω・cmの抵抗率を有するものである。

【0043】半導体基板1の主面近傍にはpウェル3が形成されている。pウェル3には、p形不純物たとえばボロンが低濃度にドーパされている。

【0044】フィールド絶縁膜2は、素子を電気的に分離するための素子分離構造であり、たとえばLOCOS法により形成される。その膜厚は、たとえば400nmとすることができる。なお、フィールド絶縁膜2の下部には、n形不純物が高濃度にドーパされたチャネルストップパ4が形成されている。

【0045】MOSFETQnは、活性領域の主面上に、ゲート絶縁膜5を介して形成されたゲート電極6と、ゲート電極6の両側の活性領域主面に形成されたソース・ドレイン領域とを有する。ソース・ドレイン領域は、n形の不純物が低濃度にドーパされたn<sup>-</sup>半導体領域7と、n形の不純物が高濃度にドーパされたn<sup>+</sup>半導体領域8とからなる。すなわち、ソース・ドレイン領域は、いわゆるLDD(Lightly Doped Drain)構造を有する。

【0046】ゲート絶縁膜5は、たとえば熱CVD法により形成されたシリコン酸化膜からなり、膜厚は5~10nmとすることができる。また、ゲート電極6は、たとえばCVD法により形成された多結晶シリコン膜とすることができる。ゲート電極6の側面には、たとえばシリコン酸化膜からなるサイドウォール9が形成されている。

【0047】ゲート電極6およびn<sup>+</sup>半導体領域8の表面には、コバルトシリサイドからなるエピタキシャルシリサイド層10が形成されており、その膜厚は30~50nmである。従来、コバルトシリサイドのエピタキシャル成長層の膜厚を30~50nmまで厚くしようとすると、ブリッジングあるいはエンクローチメント等の素子不良原因が発生し、大きな膜厚のエピタキシャルシリ

サイド層を得ることができず、ゲート電極6あるいはn<sup>+</sup>半導体領域8の抵抗値を十分に下げることができなかったが、本実施の形態1の半導体集積回路装置では、後に説明する製造方法を利用することにより、30~50nmという厚いエピタキシャルシリサイド層10を形成することができ、ゲート電極6およびn<sup>+</sup>半導体領域8の抵抗値を十分に下げることができる。したがって、ブリッジングあるいはエンクローチメント等の素子不良原因が発生することなく半導体集積回路装置の性能を向上することができる。

【0048】MOSFETQnおよびフィールド絶縁膜2の上層には層間絶縁膜11が形成され、n<sup>+</sup>半導体領域8上の層間絶縁膜11に開口した接続孔12を介してn<sup>+</sup>半導体領域8上のエピタキシャルシリサイド層10に接続する配線13が形成されている。

【0049】層間絶縁膜11は、たとえばシリコン酸化膜からなり、TEOS(テトラエトキシシラン)を用いたCVD法により形成することができる。配線13は、たとえばアルミニウムを主成分とするアルミニウム合金からなり、スパッタ法により形成することができる。

【0050】配線13の上層には、保護絶縁膜14が形成されている。保護絶縁膜14は、たとえばシリコン酸化膜とシリコン窒化膜との積層構造とすることができ、プラズマCVD法により形成することができる。

【0051】なお、本実施の形態1では、サイドウォール9および層間絶縁膜11としてシリコン酸化膜を例示しているが、シリコン窒化膜でもよいことはいうまでもない。また、配線13としてアルミニウム合金を例示しているが、アルミニウムと窒化チタン、タングステン等の積層膜としてもよい。

【0052】次に、本実施の形態1の半導体集積回路装置の製造方法を、図2~図10を用いて説明する。図2~図10は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示し、図2~図6は要部の断面図、図7~図10は(a)に平面図、(b)に(a)におけるb-b断面図を示す。

【0053】まず、n<sup>-</sup>形の半導体基板1を用意し、薄いシリコン酸化膜15をその表面に形成した後、シリコン窒化膜16を堆積し、公知のフォトリソグラフィ技術とエッチング技術を用いてパターニングする。シリコン窒化膜16のパターニングは、フィールド絶縁膜2が形成される領域を除去するように行う。さらに、シリコン窒化膜16をマスクにして、たとえばリンまたは砒素等のn形不純物を高濃度にイオン注入し、チャネルストップパ4を形成する。また、pウェル3が形成される領域にたとえばボロン等p形の不純物をイオン注入し、pウェル3を形成する(図2)。

【0054】次に、半導体基板1を熱処理し、シリコン窒化膜16で覆われていない領域を選択的に酸化し、フィールド絶縁膜2を形成する(図3)。チャネルストップ



パ4およびpウェル3は、この段階で活性化される。

【0055】次に、シリコン窒化膜16およびシリコン酸化膜15を除去した後、半導体基板1の全面にゲート絶縁膜5となるシリコン酸化膜およびゲート電極6となる多結晶シリコン膜を形成し、その多結晶シリコン膜を公知のフォトリソグラフィ技術とエッチング技術を用いてパターニングし、ゲート電極6を形成する(図4)。シリコン酸化膜はたとえば熱酸化法により、多結晶シリコン膜はたとえばCVD法により形成することができる。

【0056】次に、フォトレジストおよびゲート電極6をマスクにして、たとえば砒素あるいはリン等のn形不純物を低濃度にイオン注入し、n<sup>-</sup>半導体領域7を形成する(図5)。

【0057】次に、半導体基板1の全面にシリコン酸化膜を堆積し、公知の異方性エッチングを施して前記シリコン酸化膜をエッチングし、ゲート電極6の側面にサイドウォール9を形成する。さらに、フォトレジスト、ゲート電極6およびサイドウォール9をマスクにして、たとえば砒素あるいはリン等のn形不純物を高濃度にイオン注入し、n<sup>+</sup>半導体領域8を形成する(図6)。

【0058】この段階で、半導体基板1を熱処理し、n<sup>-</sup>半導体領域7およびn<sup>+</sup>半導体領域8を活性化することができるが、後の工程で熱処理を行ってもよい。

【0059】次に、コバルトシリサイドをエピタキシャルに形成するためのコバルト輸送膜となるチタン膜17(第1金属膜)を堆積し、さらにコバルト膜18(第2金属膜)を堆積する(図7)。チタン膜17およびコバルト膜18の堆積は、公知のスパッタ法により行うことができ、その膜厚は、ともに5~10nmとすることができる。

【0060】次に、半導体基板1に熱処理(第1の熱処理)を施し、未反応のコバルト膜18およびチタン膜17を除去して、ゲート電極6の表面およびn<sup>+</sup>半導体領域8の表面にエピタキシャルシリサイド層10a(第1エピタキシャルシリサイド層)を形成する(図8)。ここで、チタン膜17は、コバルトの輸送膜として作用する金属膜として例示したものであるが、シリコンとシリサイドを形成するコバルト(第2金属)よりもシリコンとの結合エネルギーが大きいものであればチタン(第1金属)に限られることなく、他の金属膜であってもよい。

【0061】上記熱処理の条件は、たとえば600℃、1分とすることができる。この熱処理条件は、従来のエピタキシャル成長のための熱処理条件である650~700℃、5~10分と比較して低温かつ短時間であり、従来問題であったブリッジングやエンクロウチメントは発生しない。また、熱処理条件が、低温かつ短時間であるためエピタキシャルシリサイド層10aへのチタンの混入を抑制することができる。

【0062】なお、コバルト膜18およびチタン膜17

の除去は、公知のウェットエッチング法を用いることができるが、エッチャントとして、アンモニアと過酸化水素水の混合液または塩酸系混酸液を例示することができる。また、エピタキシャルシリサイド層10aの膜厚は、コバルト膜18の膜厚が5nmの場合には約7~8nm、10nmの場合には14~16nmとすることができる。

【0063】次に、半導体基板1の全面に、チタン膜を堆積することなくコバルト膜19(第3金属膜)を堆積する(図9)。コバルト膜19の堆積は、前記と同様に公知のスパッタ法を用いることができる。コバルト膜19の膜厚は、たとえば10~20nmとすることができる。

【0064】次に、半導体基板1に熱処理(第2の熱処理)を施し、未反応のコバルト膜19を除去して、エピタキシャルシリサイド層10a上にエピタキシャルシリサイド層10b(第2エピタキシャルシリサイド層)を形成する。エピタキシャルシリサイド層10aとエピタキシャルシリサイド層10bとで構成され、その膜厚を30~50nmとすることができる(図10)。このように、従来技術では得られない十分な膜厚とすることにより、ゲート電極6およびn<sup>+</sup>半導体領域8のシート抵抗を低下し、また、配線13とのコンタクト抵抗を低減し、半導体集積回路装置の性能を向上することができる。

【0065】第2の熱処理の熱処理条件は、たとえば、600℃、1分とすることができる。これは、従来のエピタキシャル成長のための熱処理条件である650~700℃、5~10分と比較して低温かつ短時間であり、従来問題であったブリッジングやエンクロウチメントは発生しない。このように、第2の熱処理の条件を低温かつ短時間にすることができるのは、第1の熱処理によってエピタキシャルシリサイド層10aが形成されており、エピタキシャルシリサイド層10aが第2の熱処理におけるエピタキシャルシリサイド層10bの成長核となっているためであり、また、第1の熱処理においてチタンの混入が微小であり、第2の熱処理においてはチタン膜17が除去されているため被膜純度が向上しているためであると考えられる。

【0066】最後に、半導体基板1の全面に層間絶縁膜11を形成し、公知のフォトリソグラフィ技術およびエッチング技術を用いて接続孔12を開口する。その後、半導体基板1の全面にたとえばアルミニウム合金膜をスパッタ法で堆積し、公知のフォトリソグラフィ技術およびエッチング技術を用いてアルミニウム合金膜をパターニングし、配線13を形成する。さらに、保護絶縁膜14を堆積して図1に示す半導体集積回路装置がほぼ完成する。なお、層間絶縁膜11はTEOSと酸素とを約740℃程度の処理温度で反応させることによるCVD法により、保護絶縁膜14はプラズマCVD法により形成

することができる。

【0067】このような半導体集積回路装置の製造方法によれば、前記した半導体集積回路装置を製造することができ、半導体集積回路装置のゲート電極6および $n^+$ 半導体領域8のシート抵抗とコンタクト抵抗を低減して、その性能を向上することができる。すなわち、第1の熱処理により高純度な薄いエピタキシャルシリサイド層10aを形成し、その後、第2の熱処理により、エピタキシャルシリサイド層10bをさらに形成して、エピタキシャルシリサイド層10の膜厚を従来技術では形成できない十分な厚さで形成することができる。しかも、上記の方法によれば、十分な膜厚のエピタキシャルシリサイド層10を、従来技術で同等の膜厚を得ようとすれば避けることができなかったブリッジングおよびエンクローチメントを発生することなく形成することができる。

【0068】また、エピタキシャルシリサイド層10への不純物であるチタンの混入が最小限に抑制されるため、エピタキシャルシリサイド層10の抵抗値を低くすることが可能である。

【0069】上記の結果、ゲート電極6および $n^+$ 半導体領域8のシート抵抗を、エピタキシャルシリサイド層10がない場合の $100\Omega/\square$ から $5\Omega/\square$ に低減することが可能である。

【0070】なお、上記第1および第2の熱処理においては、公知のRTA (Rapid Thermal Anneal) 法を用いることができる。

【0071】また、本実施の形態1では、 $n$ MOSFETを例示して説明したが、 $p$ MOSFETについてもその導電性を逆極性とすることにより同様に製造することができる。

【0072】さらに、本実施の形態1ではゲート電極6および $n^+$ 半導体領域8の両方の表面にエピタキシャルシリサイド層10を形成した場合を例示したが、ゲート電極6または $n^+$ 半導体領域8の何れか一方にのみ形成してもよいことはいうまでもない。

【0073】(実施の形態2) 図11は、本発明の他の実施の形態である半導体集積回路装置の一例を示し、図11(a)は平面図、図11(b)は図11(a)におけるb-b断面図である。

【0074】本実施の形態2の半導体集積回路装置は、実施の形態1と同様に、CMOSからなる半導体集積回路装置であってもよいが、 $p$ MOSあるいは $n$ MOSであってもよく、説明の便宜のため、 $n$ MOS部について説明する。 $p$ MOS部については、 $n$ MOS部と同様である。

【0075】本実施の形態2の半導体集積回路装置は、実施の形態1と同様に半導体基板1、フィールド絶縁膜2、MOSFETQnを有し、MOSFETQnを構成する $p$ ウェル3、ゲート絶縁膜5、ゲート電極6、 $n^+$

半導体領域7、 $n^+$ 半導体領域8およびサイドウォール9についても実施の形態1と同様である。したがって、実施の形態1と相違する低抵抗層20についてのみ説明し、他の同一の部材については説明を省略する。

【0076】ゲート電極6および $n^+$ 半導体領域8の表面に形成される低抵抗層20は、その表面に酸化層または窒化層を有さず、かつ、凝集状態にないコバルトジシリサイドからなる平坦膜である。また、その膜厚は、30~50nmである。

【0077】従来、コバルトジシリサイドを形成するために高温で熱処理すると、コバルトの反応容易性からコバルトジシリサイドの表面が酸化あるいは窒化されることは避けられず、また、コバルトジシリサイドの凝集現象も生じるといった問題があったが、本実施の形態2の半導体集積回路装置では、後に説明する製造方法を用いることにより、表面に酸化層または窒化層を有さず、かつ、凝集状態にないコバルトジシリサイドとするものである。これにより、ゲート電極6あるいは $n^+$ 半導体領域8の抵抗値を十分に下げることができ、半導体集積回路装置の性能を向上することが可能となる。

【0078】MOSFETQnおよびフィールド絶縁膜2の上層に形成される層間絶縁膜11、配線13および保護絶縁膜14についても実施の形態1と同様であるため、説明を省略する。

【0079】次に、本実施の形態2の半導体集積回路装置の製造方法を、図12~図15を用いて説明する。図12~図15は、本発明の他の実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示したものであり、(a)は平面図、(b)は(a)におけるb-b断面図を示す。

【0080】本実施の形態2の半導体集積回路装置の製造方法は、実施の形態1における図6の工程までは、実施の形態1と同様である。したがって、説明を省略し、その後の工程から説明する。

【0081】MOSFETQnの形成された半導体基板1の全面にコバルト膜21(第4金属膜)を堆積し、さらに窒化チタン膜22(第5金属膜)を堆積する(図12)。ここで、コバルト膜21は、ゲート電極6および $n^+$ 半導体領域8と反応してシリサイド物を形成するものであり、窒化チタン膜22は後に説明する熱処理においてコバルトの酸化あるいは窒化を防止する作用を有する。

【0082】コバルト膜21および窒化チタン膜22は、公知のスパッタ法を用いて堆積することができ、コバルト膜21の膜厚を10~20nm、窒化チタン膜22の膜厚を10nmとすることができる。

【0083】次に、半導体基板1に熱処理(第3の熱処理)を施し、ゲート電極6および $n^+$ 半導体領域8のシリコンとコバルト膜21を反応させてコバルトシリサイド23(第1シリサイド層)を生成し、未反応のコバル

ト膜21を除去する(図13)。第3の熱処理の熱処理条件は、500℃、1分とすることができる。この段階でのコバルトシリサイド23は、熱処理温度が低温であり、また短時間であるため、抵抗値の高いコバルトモノシリサイドの状態である。その抵抗率としては70～80 $\mu\Omega\cdot\text{cm}$ を例示することができる。また、形成されたコバルトシリサイド23の膜厚は、25～40nmを例示することができる。

【0084】未反応のコバルト膜21の除去には、アンモニア加水等を用いた公知のウェットエッチング法を用いることができ、この際、コバルトシリサイド23に形成された表面の窒化層あるいは酸化層も同時に除去することができる。窒化チタン膜22の存在によりコバルトシリサイド23の表面の窒化層あるいは酸化層の形成が抑制されるものの、僅かながら窒化あるいは酸化されることは避けられず、このような窒化層あるいは酸化層を除去することは、この後の工程において窒素あるいは酸素が不純物として混入し、シリサイド層の抵抗値を低下させる要因となることは本発明者らの検討の結果判明している。したがって、本工程で窒化層あるいは酸化層をウェットエッチングにより除去することは、半導体集積回路装置の高性能化に有効であるといえる。

【0085】次に、半導体基板1の全面に窒化チタン膜24を堆積する(図14)。窒化チタン膜24は、公知のスパッタ法で堆積することができ、その膜厚は10nmとすることができる。

【0086】次に、半導体基板1に前工程の熱処理よりも高温の熱処理(第4の熱処理)を施し、コバルトモノシリサイドからなるコバルトシリサイド23をコバルトジシリサイドに変化させ、低抵抗層20を形成する。さらに、窒化チタン膜24を除去する(図15)。

【0087】前記第4の熱処理は、たとえば700℃、1分の条件で行うことができ、その熱処理のより生成される低抵抗層20の抵抗率は15～17 $\mu\Omega\cdot\text{cm}$ を例示することができる。また、形成された低抵抗層20の膜厚は、30～50nmとすることができる。

【0088】本工程の第4の熱処理の際、コバルトシリサイド23上に窒化チタン膜24が堆積されているため、窒化チタン膜24がコバルトシリサイド23の酸化あるいは窒化防止の作用を有し、コバルトジシリサイドからなる低抵抗層20の表面に酸化層あるいは窒化層が形成されることを抑制する。また、700℃という高温の熱処理では、コバルトモノシリサイドからなるコバルトシリサイド23がコバルトジシリサイドからなる低抵抗層20に変化する過程において凝集現象が発生し、低抵抗層20に粒界が生じてその抵抗値を大きくする場合が生じやすいが、コバルトシリサイド23の上面に窒化チタン膜24が堆積されているため、前記過程において粒子の物理的な移動を阻害し、凝集を発生し難くする作用がある。この結果、低抵抗層20の抵抗値を低くする

ことができる。

【0089】最後に、実施の形態1と同様に、層間絶縁膜11、接続孔12、配線13および保護絶縁膜14を形成して図11に示す半導体集積回路装置がほぼ完成するが、これらの形成方法は実施の形態1と同様であるため説明を省略する。

【0090】このような半導体集積回路装置の製造方法によれば、前記した半導体集積回路装置を製造することができ、半導体集積回路装置のゲート電極6およびn<sup>+</sup>半導体領域8のシート抵抗とコンタクト抵抗を低減して、その性能を向上することができる。すなわち、窒化チタン膜22および窒化チタン膜24を堆積することにより、第3の熱処理において酸素あるいは窒素を有さないコバルトモノシリサイドからなるコバルトシリサイド23を形成し、第4の熱処理においてその表面に酸化層あるいは窒化層を有さず、かつ、凝集のないコバルトジシリサイドからなる低抵抗層20を形成することができる。この結果、ゲート電極6およびn<sup>+</sup>半導体領域8のシート抵抗を、低抵抗層20がない場合の100 $\Omega/\square$ から5 $\Omega/\square$ に低減することが可能である。

【0091】また、本実施の形態2の製造方法では、低抵抗層20に凝集現象が生じないため、その表面が平坦であり、ラフネスの少ないシリサイドを形成形成することができる。この結果、プロセスマージンを拡大することが可能となる。

【0092】なお、上記第1および第2の熱処理においては、公知のRTA(Rapid Thermal Anneal)法を用いることができること、および、pMOSFETについても同様に製造することができることは、実施の形態1と同様である。

【0093】また、ゲート電極6またはn<sup>+</sup>半導体領域8の何れか一方にのみ低抵抗層20を形成してもよいことも実施の形態1と同様である。

【0094】さらに、本実施の形態2ではコバルトとシリコンとの反応によるコバルトシリサイド膜の例を示したが、コバルトに代え、チタン、ニッケル、白金等を用い、それぞれのシリサイドを形成してもよい。また、シリサイドの酸化あるいは窒化防止膜として窒化チタン膜22、24を用いた場合を例示したが、タングステン、モリブデン等熱処理時にシリサイドと反応せず、かつ、シリサイドとの選択エッチングが可能である膜であれば窒化チタン膜22、24に代えて適用可能である。

【0095】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0096】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以

下のとおりである。

【0097】(1)低温でかつ制御性良く、低抵抗なエピタキシャルシリサイド層を形成することができる。

【0098】(2)シリサイド表面の窒化、酸化を防止し、シリサイド層の凝集現象を抑制することができる。

【0099】(3)拡散層抵抗、コンタクト抵抗が十分に低いMISFETを有する半導体集積回路装置を提供することができ、半導体集積回路装置の高速化を図ることができる。

#### 【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装置の一例を示し、(a)は平面図、(b)は(a)におけるb-b断面図である。

【図2】本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した要部断面図である。

【図3】本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した要部断面図である。

【図4】本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した要部断面図である。

【図5】本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した要部断面図である。

【図6】本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した要部断面図である。

【図7】本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示し、(a)は平面図、(b)は(a)におけるb-b断面図である。

【図8】本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示し、(a)は平面図、(b)は(a)におけるb-b断面図である。

【図9】本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示し、(a)は平面図、(b)は(a)におけるb-b断面図である。

【図10】本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示し、(a)は平面図、(b)は(a)におけるb-b断面図である。

【図11】本発明の他の実施の形態である半導体集積回路装置の一例を示し、(a)は平面図、(b)は(a)におけるb-b断面図である。

【図12】本発明の他の実施の形態である半導体集積回

路装置の製造方法の一例をその工程順に示したものであり、(a)は平面図、(b)は(a)におけるb-b断面図を示す。

【図13】本発明の他の実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示したものであり、(a)は平面図、(b)は(a)におけるb-b断面図を示す。

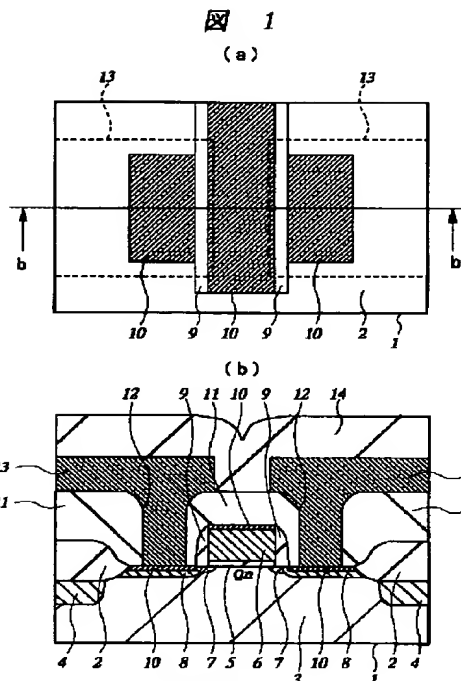
【図14】本発明の他の実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示したものであり、(a)は平面図、(b)は(a)におけるb-b断面図を示す。

【図15】本発明の他の実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示したものであり、(a)は平面図、(b)は(a)におけるb-b断面図を示す。

#### 【符号の説明】

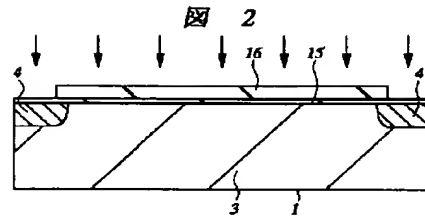
- 1 半導体基板
- 2 フィールド絶縁膜
- 3 pウェル
- 4 チャネルストッパ
- 5 ゲート絶縁膜
- 6 ゲート電極
- 7  $n^-$  半導体領域
- 8  $n^+$  半導体領域
- 9 サイドウォール
- 10 エピタキシャルシリサイド層
- 10a エピタキシャルシリサイド層
- 10b エピタキシャルシリサイド層
- 11 層間絶縁膜
- 12 接続孔
- 13 配線
- 14 保護絶縁膜
- 15 シリコン酸化膜
- 16 シリコン窒化膜
- 17 チタン膜
- 18 コバルト膜
- 19 コバルト膜
- 20 低抵抗層
- 21 コバルト膜
- 22 窒化チタン膜
- 23 コバルトシリサイド
- 24 窒化チタン膜
- Qn MOSFET

【図1】

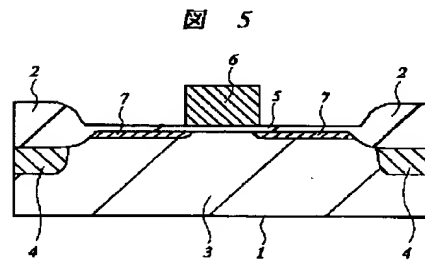


1: 半導体基板 5: ゲート絶縁膜 10: エピタキシャルシリサイド層  
 2: フィールド絶縁膜 6: ゲート電極 Qm: MOSFET  
 3: pウェル 7: n+半導体領域  
 4: チャネルストップイ 8: n+半導体領域

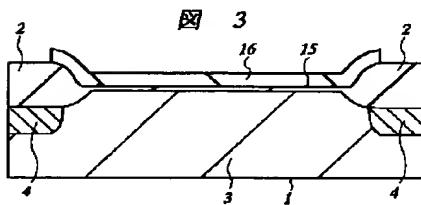
【図2】



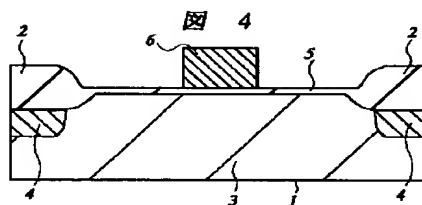
【図5】



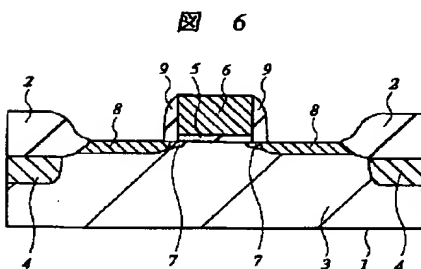
【図3】



【図4】



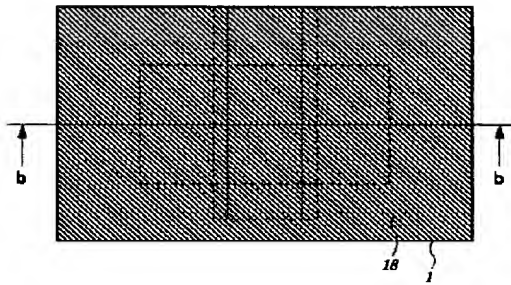
【図6】



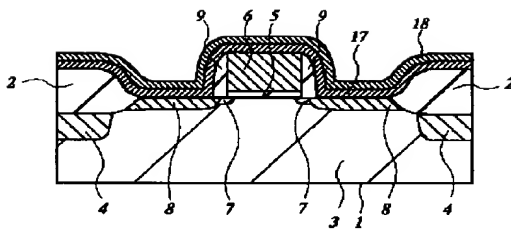
【図7】

図 7

(a)



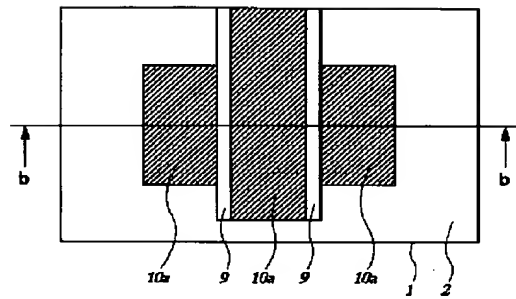
(b)



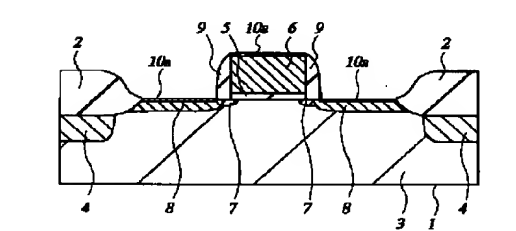
【図8】

図 8

(a)



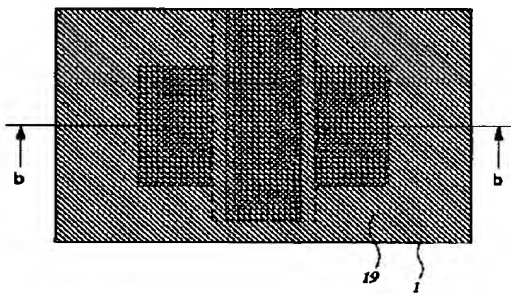
(b)



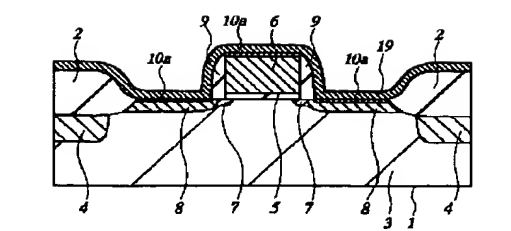
【図9】

図 9

(a)



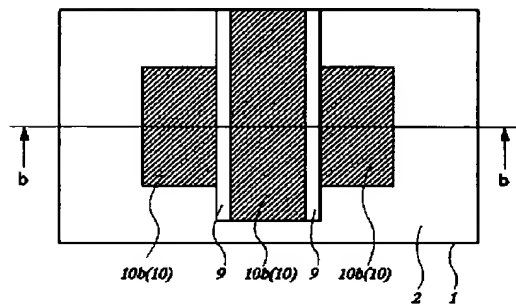
(b)



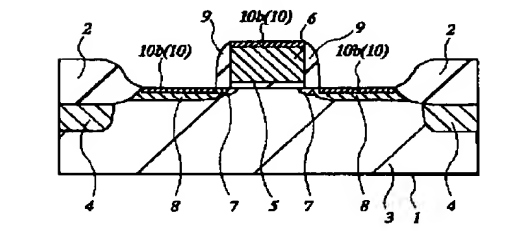
【図10】

図 10

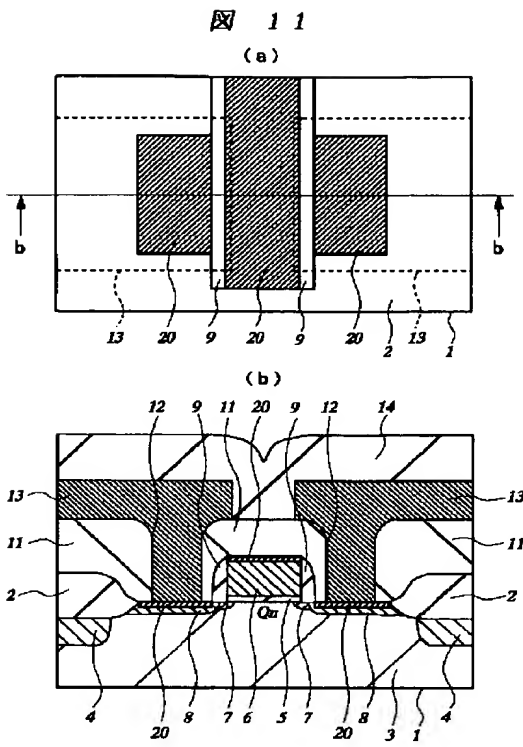
(a)



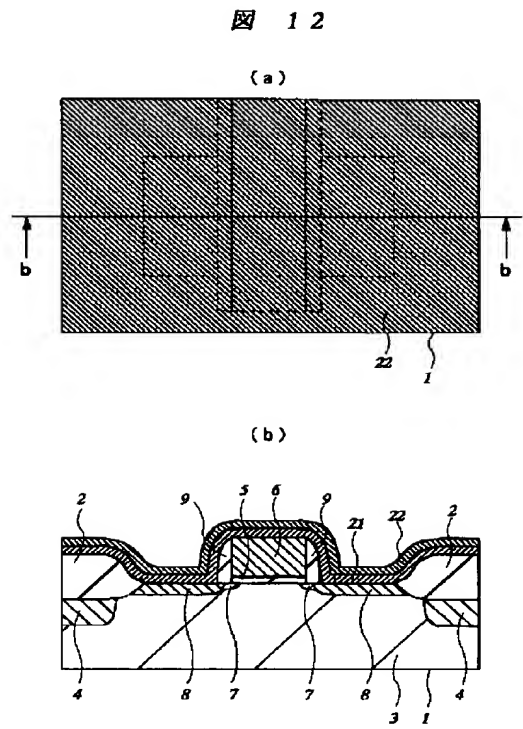
(b)



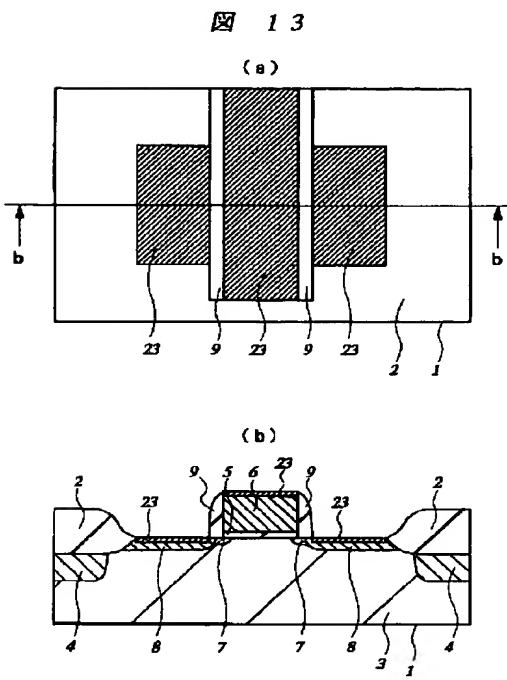
【図11】



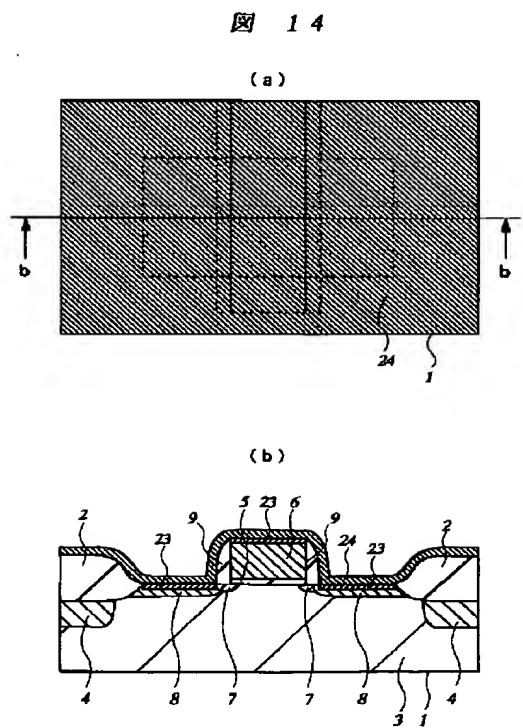
【図12】



【図13】



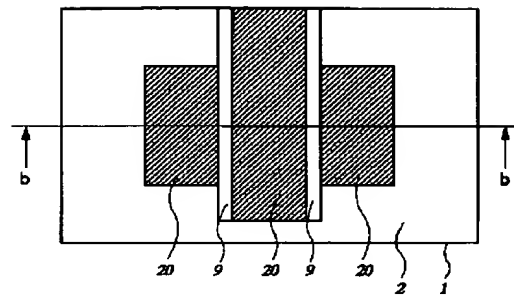
【図14】



【図15】

図 15

(a)



(b)

